

基于局部动态自重构的微系统芯片低功耗设计研究

陆振林^{1,2}, 赵元富¹, 焦 焱¹, 韩逸飞¹, 赵光忠¹

(1 北京微电子技术研究所, 北京 100076; 2 中国航天电子技术研究院, 北京 100094)

摘 要: 针对航天综合电子系统小型化对国产微系统芯片低功耗的设计要求, 提出了一种基于局部动态自重构技术的片内动态时钟管理解决方案. 分析微系统芯片功耗的构成, 确定了以降低芯片动态功耗为切入点, 采用集成数字时钟管理单元 DCM 替换晶振作为加速处理单元 DSP 芯片的时钟源. 根据任务执行需求, 应用局部动态重构技术, 适时动态调整 DSP 的工作时钟, 以降低空负载下芯片的能量损耗. 测试结果表明, 所提出的方案在保证实时性的同时, 有效地降低微系统芯片的整体功耗.

关键词: 微系统芯片; 低功耗; 动态时钟; 局部动态重构

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)11-0142-05

Research on Low-power Micro-System-Chip Design Based on Partial Dynamic Self-Reconfiguration

LU Zhen-lin^{1,2}, ZHAO Yuan-fu¹, JIAO Ye¹, HAN Yi-fei¹, ZHAO Gguang-zhong¹

(1 Beijing Microelectronics Technology Institute, Beijing 100076, China;

2 Chinese Aerospace Electronic Technology Research Institute, Beijing 100094, China)

Abstract: For design demand of downsizing domestic system-on-chip power, which is in order to meet requirement of aerospace electronic system, the dynamic clock management solution based on partial self-reconfiguration technology is proposed. By analyzing the system-on-chip power composition, reduce the chip dynamic power is determined as the starting point. The integrated digital clock management unit is used as chip clock of accelerated processing unit DSP other than crystal. According to the task execution needs, DSP chip's clock is dynamic adjusted to reduce the chip energy loss. . The test results indicated that the proposed scheme effectively reduces the power consumption of the system-on-chip and guarantees real-time.

Key words: micro-system-chip; low-power; dynamic clock; partial dynamic self-configuration technology

1 引言

微系统芯片利用多芯片封装技术、3D 堆叠技术等芯片中集成 CPU、DSP、数字电路、存储器等多种电路, 有效地缩小了系统体积, 提升产品性能, 提高研发速度, 目前正广泛应用于航空航天领域. 系统级封装技术的快速发展, 微系统芯片的复杂程度不断提高, 基板上集成了越来越多的裸片. 随着 IC 工作频率、集成度的不断提高, 功耗的增长带来一系列的问题: 首先, 功耗的增加将带来微系统芯片内部温

度的提升, 易引起半导体电路的运行参数漂移; 其次, 温度的升高, 一定程度加剧硅失效, 缩短了芯片寿命; 再者, 对航天应用而言, 系统的低功耗设计是其电子系统生存的重要因素之一. 因此, 低功耗设计技术成为国产微系统芯片设计中主流技术方法.

目前国内外研究机构纷纷针对各自的 ASIC 芯片、多核处理器展开了低功耗研究, 并取得了一定的成果. 文献[1]中提出了一种基于程序负载感知的动态电源管理方法, 处理器执行时, 通过功率监测和预测模块来动态监测多个并行处理单元的任务负载情

收稿日期: 2015-01-28; 修回日期: 2015-03-13

基金项目: 科工局民用航天基金(2014537); 北京市自然科学基金(4312016)

况,并基于关键负载指标来动态调节并发执行单元的电压及时钟频率.文献[2]中提出了一种预定义功率阈值的动态频率调节方案,通过监控每个处理核的工作负载,评估并给出相应的电源管理策略.文献[3]中提出了一种基于并行循环迭代的技术,通过分析非关键线程的松散度,引入线程延缓和线程平衡机制,减少能耗和提高性能.国内的研究更多基于嵌入式平台展开.文献[4]中基于 TMS320C6678 为核心的数字信号处理系统,在芯片应用层面通过频率调节、功能分区以及工作模式控制的方式优化芯片的功耗,使得低功耗状态下运行功耗降低为全速运行状态的 35.53%.文献[5]中基于 MSP430 微处理器实现了具有温度补偿智能化 WSNs,并通过监听模式、休眠模式和睡眠模式的控制,使节点平均功耗降为 12.7 mW,近似没有采用低功耗设计节点的 1/5.

以上的研究成果为本文的研究提供了思路,但本文的研究基础和目标又与这些研究不同.一方面,本文的研究对象为微系统芯片,集成裸片内部没有温度采集和功耗评估单元,无法通过反馈模式进行调节;另一方面,微系统芯片主要面向嵌入式应用,很难支持复杂的逻辑运算,也无法评估所执行的运算带来的额外功耗开销.最后,集成裸片本身并不支持低功耗模式的切换配置.以上的差异都一定程度上限制了已有成果在微系统芯片的应用.因此,本文以顶层架构级的低功耗设计为切入点,通过发掘系统级内部裸片特征,根据任务执行特征,提出了一种基于局部动态重构技术的动态时钟设计方案,在保证性能的前提下,减少空负载所带来的功耗浪费.

2 微系统芯片功耗分析

国产多核微系统芯片内部主要由 SPARCV8 处理器、DSP 处理器和 FPGA 构成,采用“通用处理器核心+加速处理单元”的架构.其中,SPARCV8 处理器作为主处理器,主要负责通信、任务调度以及执行控制类任务,DSP 处理器主要作为辅助处理单元,在 SPARCV8 处理器的调度下,执行特殊的计算任务包括矩阵运算、图形处理、矢量计算等,以提升微系统芯片整体的计算性能.任务的并行计算存在大量的通信、同步和等待操作,高速处理器完成其承担的负载任务后,必须等待其他慢速设备或功能单元,此时处理器的高速率运行对整个微系统芯片性能没有实质性的提升.

根据文献[6,7]可知,数字电路的主要功耗包括

三个部分:动态功耗 P_{AC} 、静态功耗 P_{DC} 以及短路功耗 P_{SC} .令系统功耗为 P_{sys} :

$$P_{sys} = P_{AC} + P_{DC} + P_{SC}.$$

其中,短路功耗发生在逻辑电平变化过程,在整体电路功耗中所占的比例极小.静态功耗又叫漏电功耗,即电路在不活动时存在静态电流,单个晶体管微弱亚阈值电流造成的静态功耗由于晶体管数量的大幅增加而变得日益显著,对于 ASIC 芯片而言,静态功耗可视为固定值.由此可知,微系统芯片的功耗主要由动态功耗所决定.动态功耗来自电路处理任务时产生的逻辑电平跳变.当 CMOS 电路从逻辑 0 切换到逻辑 1 时,电路供电电源对 MOS 管充电.当 CMOS 电路从逻辑 1 切换到逻辑 0 时,输出电容通过 NMOS 管放电.根据这一特性,文献给出了如下式所示的动态功耗方程.其中, α 为电路在单位时间内发生 0→1 变化的平均次数,电路负载电容为 C_L ,电源电压为 V ,时钟频率为 f_{clk} .

$$P_{AC} = \alpha_{0 \rightarrow 1} C_L \cdot V_{dd}^2 \cdot f_{clk}.$$

根据动态功耗方程式可知,芯片的动态功耗正比于裸芯的运行频率和供电电压.由此可知,微系统芯片的降低功耗手段将包括降低时钟频率和降低电压两种.

本文采取降低时钟频率来实现低功耗设计.通过对微系统芯片的架构分析可知,DSP 作为加速处理单元,在执行完运算任务后,随即进入等待调度状态.若 DSP 处理器始终处于高频率工作状态将造成不必要的功耗浪费.因此,本文将针对 DSP 芯片展开动态调频的时钟管理机制以降低微系统芯片的功耗.

3 基于 DCM 的动态时钟设计

基于固定晶振输入的 DSP 芯片工作模式,时钟由外部晶振提供,通过 DSP 芯片集成的 PLL 的 CLKIN 引脚接入.根据预先设置的分频、倍频系数,经过 PLL 内部逻辑产生芯片内部各功能模块的工作时钟.本文提及的 DSP 芯片为国防科大 FT6713B,其芯片内部 PLL 的控制逻辑及关系图 1 所示:SYSCLK1 为 DSP 内核提供时钟,SYSCLK2 为外围控制器提供时钟,SYSCLK3 为 EMIF 接口提供时钟.

由于晶振的输出为固定值,一旦接入电路即无法改变,因此,如何能够动态地调整输入频率是实现降低功耗的关键.国产多核微系统芯片的框架如图 2 所示,所集成的 BQ2V1000 FPGA 的 DCM(数字

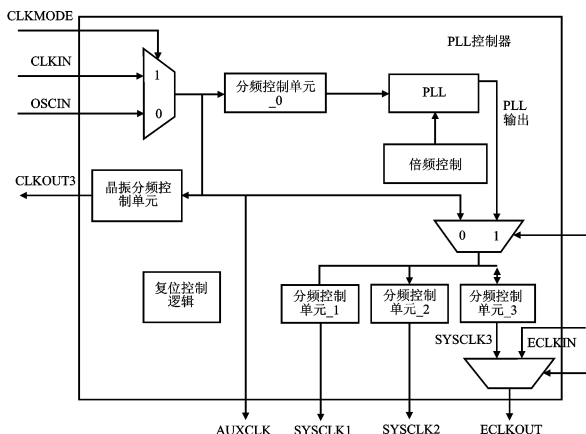


图 1 FT6713 芯片 PLL 架构

时钟管理单元)模块使用了全数字延迟线技术,能够精确地控制时钟的相位和频率;使用了数字反馈系统,可以动态补偿因温度和电压偏移引起的时钟相位和频率的偏差。因此,利用 DCM 作为 DSP 的时钟源,为动态切换接入时钟频率提供了可行性。

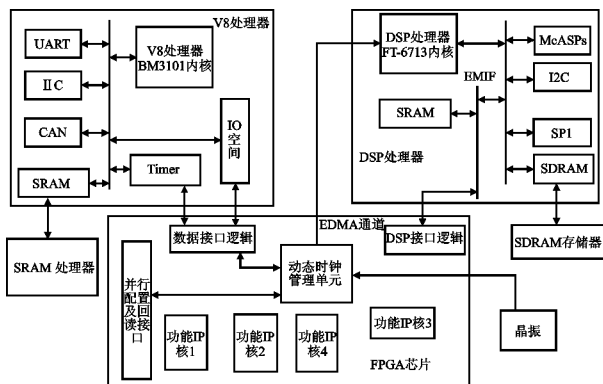


图 2 微系统芯片架构

BQ2V1000 FPGA 拥有 8 个 DCM,文中基于其中的一路 DCM,设计了相应控制逻辑,用于 DSP 芯片的时钟供给。连接方案如图 3 所示。其中,CLKIN 为晶振输入,与 FPGA 内部逻辑公用;CLK0 输出作为 DSP 芯片的时钟源;LOCKED 为输出稳定的标志位;CLKFB 为时钟反馈,用于 DCM 对相位等进行补偿;RST 为 DCM 的复位单元,DCM 在重新设定后,需要执行复位控制以输出正确时钟。

4 基于局部动态自重构的时钟切换实现

为了能够动态改变 DCM 模块的时钟输出,文中进一步提出了基于可重构技术的重配置方法。即在同时刻,通过动态加载 FPGA 配置信息,在其内部重新构建 DCM 输出逻辑。BQ2V1000 FPGA 支持静态重构和动态重构两种方式。静态重构是指

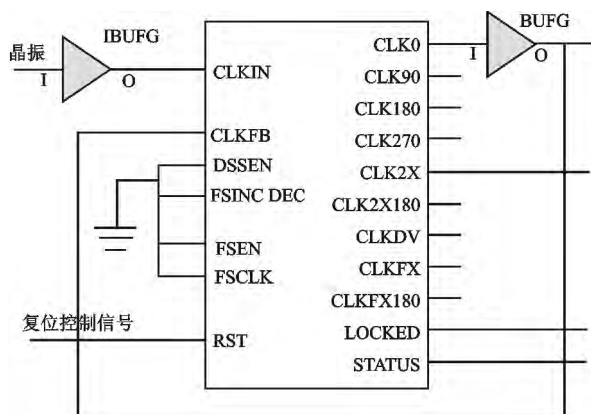


图 3 DCM 互连

断开先前的电路功能后,重新下载配置数据来改变目标系统逻辑功能,在系统整个生命周期内,FPGA 的配置保持静态不发生变化。动态重构是指在系统实时运行中对 FPGA 芯片进行动态配置,在改变电路功能的同时仍然保持其他电路的工作状态。动态重构技术又可分为全局重构和局部重构。相对于需要对器件进行整体的重新配置的全局重构而言,局部重构是有选择的对重构器件的一部分进行重新配置。这种重构方式减小了重构范围和单元数目,大大缩短了重构时间。基于以上分析,本文采取部分重构的方式以实现 DCM 输出频率的动态切换。

FPGA 配置信息是由数据帧 (frame) 组成。BQ2V1000 的数据帧根据物理设备资源被分为 6 个列 (column),即 IOB、IOI、CLB、GCLK、BlockRAM、BlockRAM Interconnect。图 4 展示了 BQ2V1000 各数据帧的组织结构,其总配置帧数为 $2 \times 4 + 2 \times 22 + 32 \times 22 + 4 \times 64 + 4 \times 22 + 1 \times 4 = 1104$ 帧。每一帧的长度为 106 个 32 位字,即 424 字节,配置数据长度为 468096 字节 (3744768 bit)。

Column Type	GCLK	IOB	IOI	CLB	CLB	CLB	CLB	CLB	IOI	IOB	BRAM	BRAM	BRAM INT	BRAM INT
BA	0	0	0	0	0	0	0	0	0	0	1	1	2	2
MJA	0	1	2	3	4	5	...	n+2	n+3	n+4	0	m	0	m

图 4 BQ2V1000 数据帧结构

为了分析 DCM 输出频率与配置文件中的配置帧及配置数据的对应关系,文中对多个输出不同频率的配置文件进行了比对分析,得到了如表 1 所示的数据。通过解析配置文件可知,多个配置文件的差异从地址 0x6E2E7 处开始,连续 4 个字节。而整个

BQ2V1000 的配置文件中有有效数据的起始地址为 0xAF,由此可得,差异所在的帧为第 $(0 \times 6E2E7 - 0 \times AF) / 424 = 1\ 063$ 帧.通过计算,第 1063 帧在配置

存储器中的帧地址为 0x4040600.因此,在系统运行过程中,仅需对配置存储器中第 1063 帧配置数据进行更新,即可实现 DCM 输出时钟的动态调节.

表 1 DCM 差异配置数据

输出频率/MHz	输入频率/MHz	倍频系数	分频系数	有效配置数据位									
32	16	32	16	03	A2	01	E4	00	F0	00	0D	96	00
48	16	3	1	03	A2	01	C4	00	20	00	0D	96	00
64	16	4	1	03	A2	01	C4	00	30	00	0D	96	00
80	16	5	1	03	A2	01	C4	00	40	00	0D	96	00
96	16	6	1	03	A2	01	A4	00	50	00	0D	96	00
112	16	7	1	03	A2	01	44	00	60	00	0D	96	00
128	16	8	1	03	A2	01	44	00	70	00	0D	96	00

5 测试

5.1 微系统芯片功耗测试

为了验证所提出的基于局部重构技术的低功耗设计方法,能够通过动态时钟调整来降低系统功耗,本文设计并实现了基于 FPGA+DSP 的功能验证平台.该验证平台集成了国产 SPARCV8 处理器 BM3101、国产 DSP FT6713、国产 FPGA BQ2V1000、ISSI 公司的 8 MB 的 SDRAM 芯片、ISSI 公司 1 MB 的 SRAM 芯片以及 16 MB 的 FLASH 芯片.

本文首先通过采取全局静态重构的方式,通过 JTAG 接口,将多个 DCM 时钟输出不同的配置文

件,依次下载到 FPGA 中,并对整个验证板的电流和功耗进行监控,其结果如表 2 所示.测试用例是在保证验证板其他器件工作频率不变的情况下进行,以降低其他器件的影响.从表 2 中可见,当 DSP 的内核工作运行在 32 MHz 及以下时,其功耗较内核工作在 192 MHz 时仅为原来的 48%.同时,随着 DSP 的输入时钟变化,验证板的功能板基本呈现等差递减的趋势,直到降到输入时钟降到 32 MHz.在此过程中,功耗差值即为通过动态时钟机制所降低的功耗值.实验结果表明,通过 DCM 的动态控制机制,可以很好地达到降低功耗的目标.

表 2 不同工作频率下功耗

FPGA 晶振/MHz	倍频系数	分频系数	DSP 内核频率/MHz	EMIF 频率/MHz	电流/A	功耗/W
16	1	32	0.512	0.256	0.12	0.60
16	12	1	192	96	0.25	1.25
16	11	1	176	88	0.23	1.15
16	10	1	160	80	0.22	1.10
16	9	1	144	72	0.20	1.00
16	8	1	128	64	0.19	0.95
16	7	1	112	56	0.18	0.90
16	6	1	96	48	0.16	0.80
16	5	1	80	40	0.15	0.75
16	4	1	64	32	0.14	0.70
16	3	1	48	24	0.13	0.65
16	2	1	32	16	0.13	0.65

5.2 动态时钟切换性能测试

为了进一步验证局部动态重构能够快速实现 DCM 模块的重配置,本文进行了相同平台下的全局重构配置方法和局部动态重构方法的性能对比测试.

配置方法采用所提出的“面向国产 SoPC 的内建自重构配置方法研究”,其中,可编程资源为 100 万门,配置帧为 1 104 帧.图 5 所示为使用 TLA7012 逻辑分析仪对两种重配置方法进行性能测试的结果,圈定部分

为重配置所消耗时间. 图 5(a)表示全局重构所消耗时间, 右部为动态局部重构所消耗的时间. 根据上文可知, DCM 的相关配置参数只与第 1 063 帧的配置帧相关, 因此, 动态局部重构只需要重新配置第 1 063 帧即可. 在 2.4 MHz 配置时钟为 2.35 MHz, 全局重构时间为 220 ms, 局部重构时间为 376.98 μ s. 实现相同的 DCM 的功能重构, 其时间消耗仅为全局重构的 0.17%, 极大提高了配置性能.

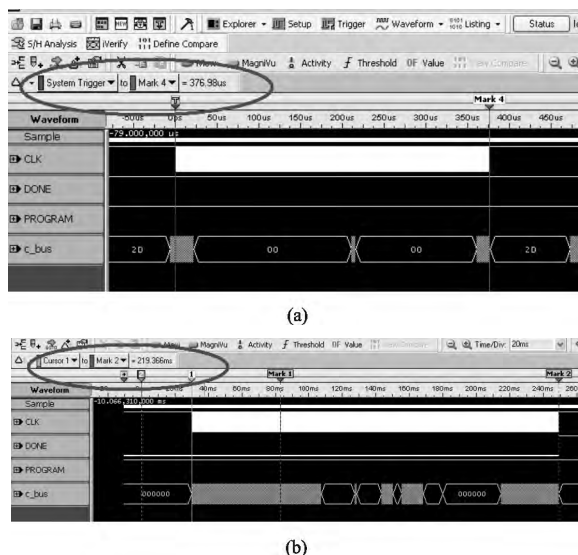


图 5 动态重构时间对比

6 结束语

本文面向异构多核微系统芯片, 提出了一种基于局部动态重构技术的低功耗设计方法. 文中首先根据微系统芯片的架构和工作模式, 结合数字电路功耗的产生机制, 分析了微系统芯片的功耗构成, 进而确定了芯片的低功耗设计的切入点和研究思路, 并提出了动态调整工作频率的解决方案. 基于微系统芯片集成的 BQ2V1000 FPGA, 设计并实现了动态时钟控制逻辑. 通过采用数字时钟管理单元 DCM 替换晶振, 作为微系统芯片中加速处理单元 DSP 芯片的时钟源. 根据任务执行的周期性、聚集性特征, 通过局部动态重构技术, 适时动态调整 DSP 芯片的工作时钟, 以降低整个芯片的功耗.

本文设计并实现了微系统芯片的验证平台, 并在此平台上, 对所提出的“局部动态自重构技术的微系统芯片低功耗设计”方法进行了验证. 测试结果表明, 当微系统芯片动态降低 DSP 的工作时钟时, 系统也功耗随之减小. 当 DSP 芯片工作在 32 MHz 以下时, 相比工作在 192 MHz 而言, 整个验证版的功

耗减小了 0.64 W, 降低为原来的 48%. 由此可知, 本文所提出的方法可以有效地降低微系统芯片的整体功耗. 为了进一步验证局部动态重构能够快速实现 DCM 模块的重配置, 本文进行了相同平台下的全局重构配置方法和局部动态重构方法的性能对比测试. 测试结果表明, 采用局部动态重构方法其耗时为 376 μ s, 仅为全局重构耗时的 0.17%, 有效地提升了微系统芯片动态时钟调整的响应速度.

参考文献:

- [1] Rajamani K, Hanson H, Rubio J, et al. Application-aware power management[C]// Proceedings of IEEE International Symposium on Workload Characterization, San Jose, California, USA: IEEE Computer Society Press, 2006: 39-48.
- [2] Isci C, Buyuktosunoglu A, Cher C Y, et al. An analysis of efficient multi-core global power management policies: Maximizing performance for a given power budget[C]// Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture, Washington, PC, USA: IEEE Computer Society Press, 2006: 347-358.
- [3] Rakvic R, Cai Q, González J, et al. Thread-management techniques to maximize efficiency in multicore and simultaneous multithreaded microprocessors[J]. ACM Transactions on Architecture and Code Optimization, 2010, 7(2): 9-12.
- [4] 李季. 一种 DSP 处理平台的低功耗设计与实现[M]. 北京: 中国船舶研究院, 2013.
- [5] 李长庚, 卢浩昌, 潘雪伦. 基于 FPGA 的 WSNs 低功耗节点设计与实现[J]. 传感器与微系统, 2012, 31(1): 104-110.
- [6] Venkatachalam V, Franz M. Power reduction techniques for microprocessor systems[J]. ACM Computing Surveys, 2005, 37(3): 195-237.
- [7] 刘勇鹏, 卢凯, 刘勇燕, 等. 高性能计算中处理器功耗特征的评测与分析[J]. 计算机工程与科学, 2009, 31(11): 102-105.

作者简介:

陆振林 男, (1983-), 博士后. 研究方向为微系统集成、重构计算、演化计算等. E-mail: luzhl_772@126.com.

赵元富 男, (1962-), 研究员, 博士生导师, IEEE 高级会员. 研究方向为微系统集成设计、超大规模集成电路设计、抗辐射加固数字电路设计等.

焦 焯 女, (1988-), 硕士, 工程师. 研究方向为微系统集成设计、可重构计算方向研究.